Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе № 5**

Дисциплина: Языки описания аппаратных средств вычислительных систем.

Выполнил студент гр. 5130901/10101 \_\_\_\_\_\_\_\_\_\_\_\_\_\_ М.Т. Непомнящий

(подпись)

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_ А.А. Федотов

(подпись)

Санкт-Петербург

2023

Оглавление

[1. Задание lab5\_1 2](#_Toc148473928)

[1.1. Задача 2](#_Toc148473929)

[1.2. Решение 3](#_Toc148473930)

[1.3. Моделирование 4](#_Toc148473931)

[1.4. Моделирование на ПЛИС 4](#_Toc148473932)

[1.5. Выводы 5](#_Toc148473933)

[2. Задание lab5\_2 5](#_Toc148473934)

[2.1. Задача 5](#_Toc148473936)

[2.2. Решение 5](#_Toc148473937)

[2.3. Моделирование 6](#_Toc148473938)

[2.4. Выводы 6](#_Toc148473939)

[3. Задание lab5\_3 7](#_Toc148473940)

[3.1. Задача 7](#_Toc148473942)

[3.2. Решение 7](#_Toc148473943)

[3.3. Моделирование: 8](#_Toc148473944)

[3.4. Моделирование на ПЛИС 8](#_Toc148473945)

[3.5. Выводы 9](#_Toc148473946)

[4. Вывод 9](#_Toc148473947)

# Задание lab5\_1

## Задача

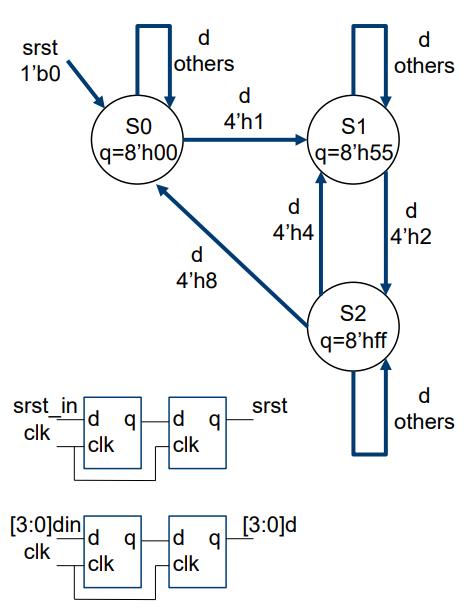
На языке Verilog, опишите конечный автомат.

*Входы данных:*

* clk – вход тактового сигнала
* srst\_in – вход синхронного сброса счетчика, при 0 – сброс
* [3:0] din – вход данных

*Выходы:*

* q – выход данных

  
*Рис. 1.1. Схема конечного автомата*

## Решение

Разработаем устройство в соответствии с заданием, используя System Verilog. Описание разрабатываемого устройства приведено ниже, на Рис. 1.

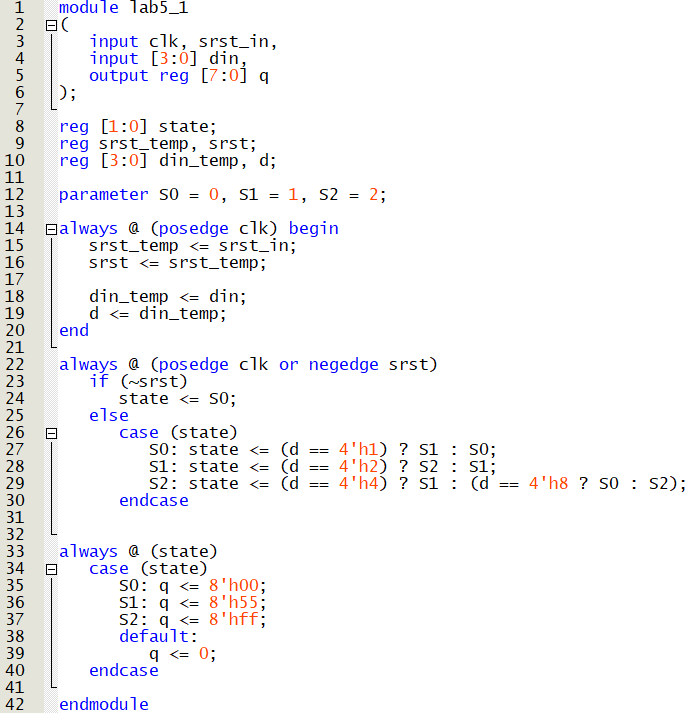


Рис. 1.2. Описание на языке Verilog.

Таким образом есть 3 блока кода: в первом реализуется защита от метастабильности, во втором происходит переход между состояниями, а в третьем в зависимости от состояния мы получаем результат на выход q.

После успешной компиляции воспользуемся средствами RTL Viewer, полученная схема приведена на Рис. 1.3 :

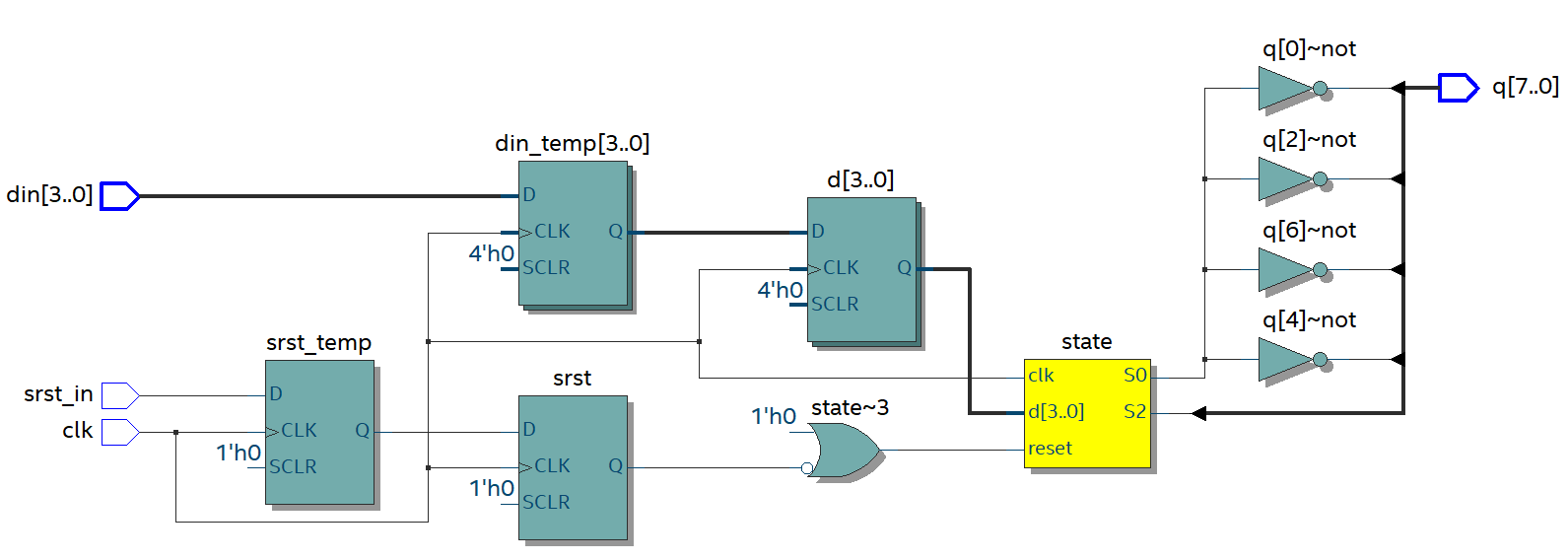
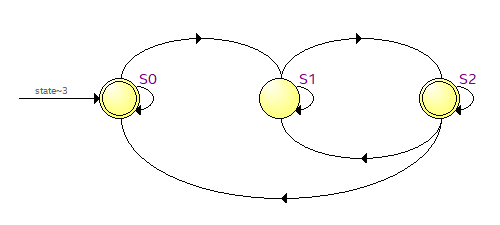


Рис. 1.3. Синтезированная схема.

О том, что получился конечный автомат свидетельствует блок state, его содержимое приведено ниже:

  
Рис. 1.4. Содержимое state блока.

## Моделирование

Выполним моделирование устройства, разработанного в [пункте 1.2.](#_Решение:) В результате функционального моделирования получены Waveform, приведенные на Рис. 1..

Изображение выглядит как текст, снимок экрана, линия, число

Автоматически созданное описание

Рис. 1.5. Результат моделирования средствами QP.

Как видно, протестированы все возможные переходы между состояниями, устройство полностью соответствует заданию.

## Моделирование на ПЛИС

Для тестирования устройства на плате выполним назначение выводов СБИС и стандартов ввода вывода, используя средства Pin Planner пакета Quartus, которое приведено ниже.

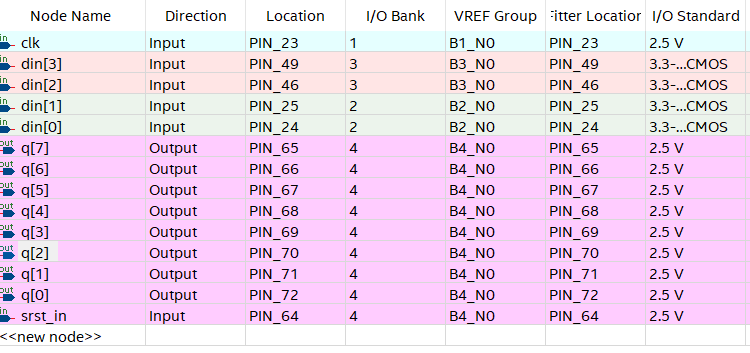


Рис. 1.6. Назначение выводов в приложении Pin Planner

Для тестирования проекта на плате использовались тесты, описанные выше

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало, что результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения лабораторной работы lab5\_1 были получены навыки по разработке конечного автомата с использованием языка Verilog. Видно, что процесс разработки такого устройство намного проще, чем аналогичный ему с использованием схемы.

Из тестов видно, что разработанное устройство работает корректно, не реагируя на случайные переключения, переходя по конечному автомату только в заданных состояниях. Протестированы все возможные способы перехода из одного состояния в другое, а также работа сброса.

# Задание lab5\_2



## Задача

На языке Verilog опишите параметризированный без знакового умножителя двух чисел разрядностью N. Умножение должно быть реализовано на ROM памяти.

*Параметры:*

* N – разрядность входных данных умножителя

*Входы данных:*

* [N-1:0] da – первый множитель.
* [N-1:0] db – второй множитель.
* clk – вход тактового сигнала.

*Выходы:*

* [2\*N-1:0] q – результат умножения

## Решение

Разработаем устройство в соответствии с заданием, используя System Verilog. Описание разрабатываемого устройства приведено ниже, на Рис. 2..

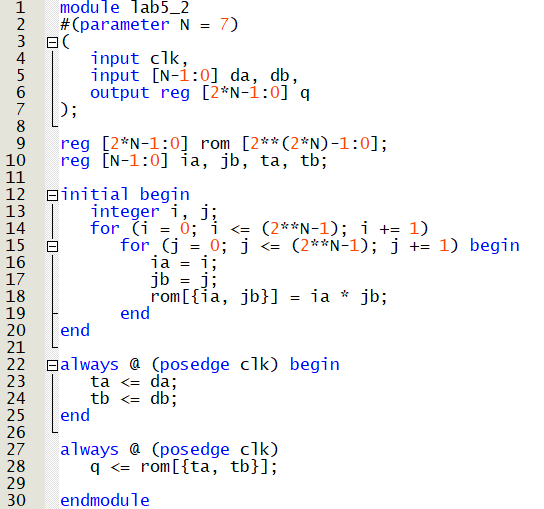


Рис. 2.1. Описание на языке Verilog.

После успешной компиляции воспользуемся приложением RTL Viewer, полученная схема приведена на Рис. 2..

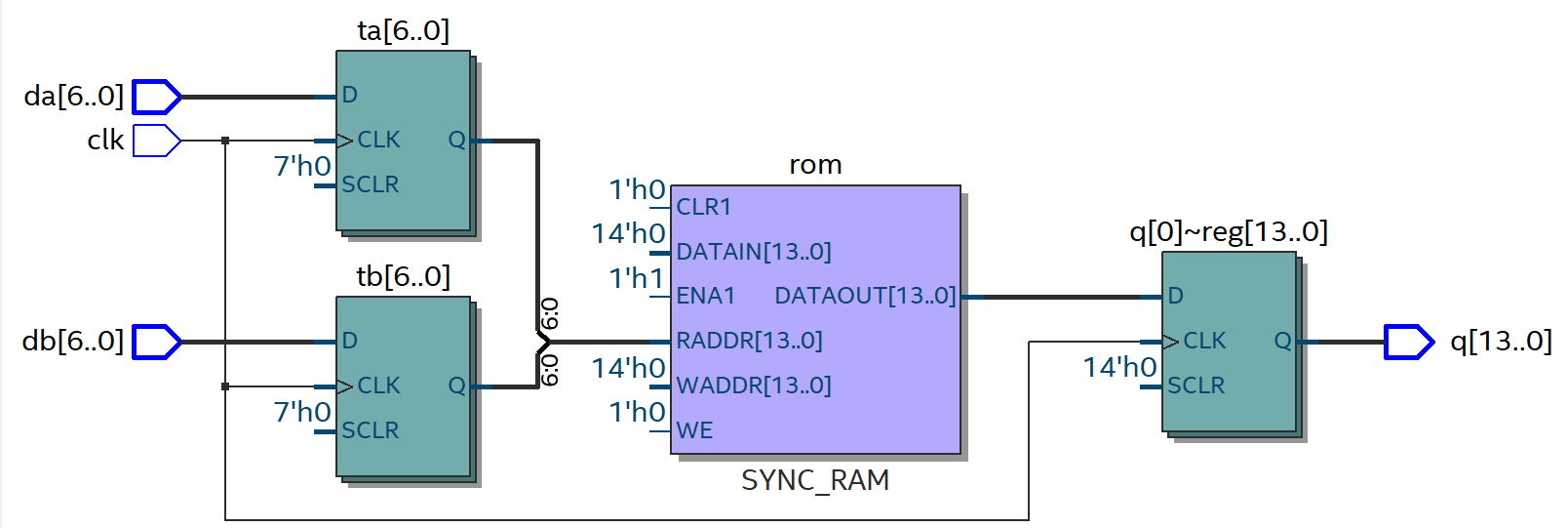


Рис. 2.2. Синтезированная схема.

## Моделирование

Выполним моделирование устройства, разработанного в [пункте 2.2](#_Решение:_1). В результате функционального моделирования получена Waveform, приведенная на Рис. 2..

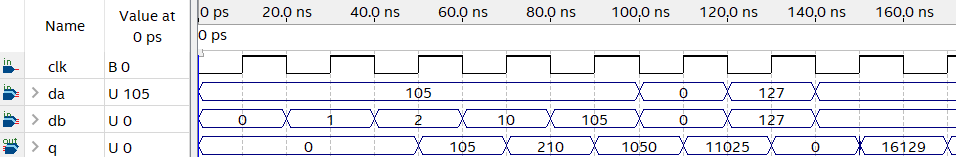


Рис. 2.3. Результат моделирования средствами QP.

Как видно, тесты работают корректно, как на минимальных числах, так и на максимальных.

## Выводы

В ходе выполнения лабораторной работы lab5\_2 были получены навыки по разработке параметризированного устройства на языке Verilog, которое представляет из себя умножитель на базе памяти ROM.

В ходе данного этапа работы видно, что язык Verilog сильно ускоряет и упрощает разработку схемы, а также упрощает её отладку.

# Задание lab5\_3



## Задача

На языке Verilog, используя модуль, созданный в [lab5\_2](#_Задание_lab4_2:) как компоненты, опишите устройство, структура которого приведена на Рис. 3.1.

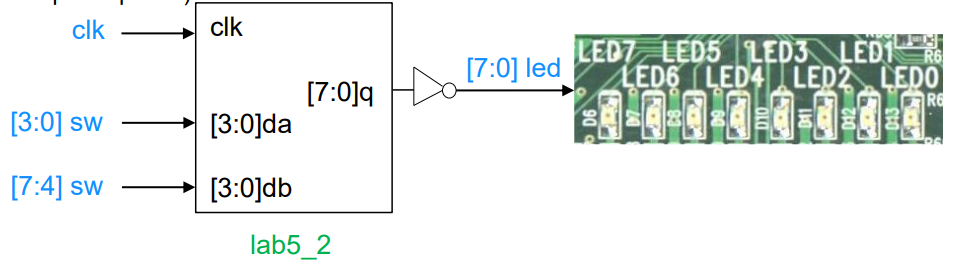


Рис. 3.1. Структура устройства.

*Входы данных:*

* clk – вход тактового сигнала.
* [3:0] sw – первый множитель.
* [7:0] sw – второй множитель.

*Выходы:*

* [7:0] q – выход.

## Решение

Разработаем устройство в соответствии с заданием, используя System Verilog. Описание разрабатываемого устройства приведено ниже, на Рис. 3.2.

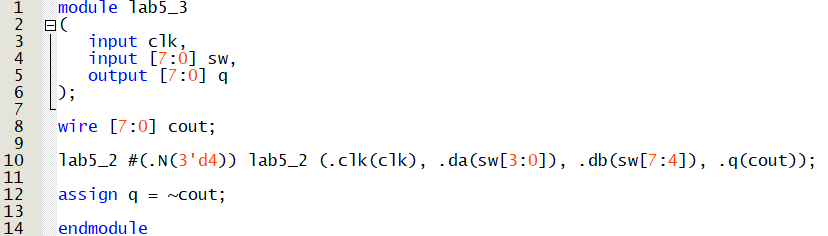


Рис. 3.2. Описание на языке Verilog.

После успешной компиляции воспользуемся приложением RTL Viewer, полученная схема приведена на Рис. 3.3.

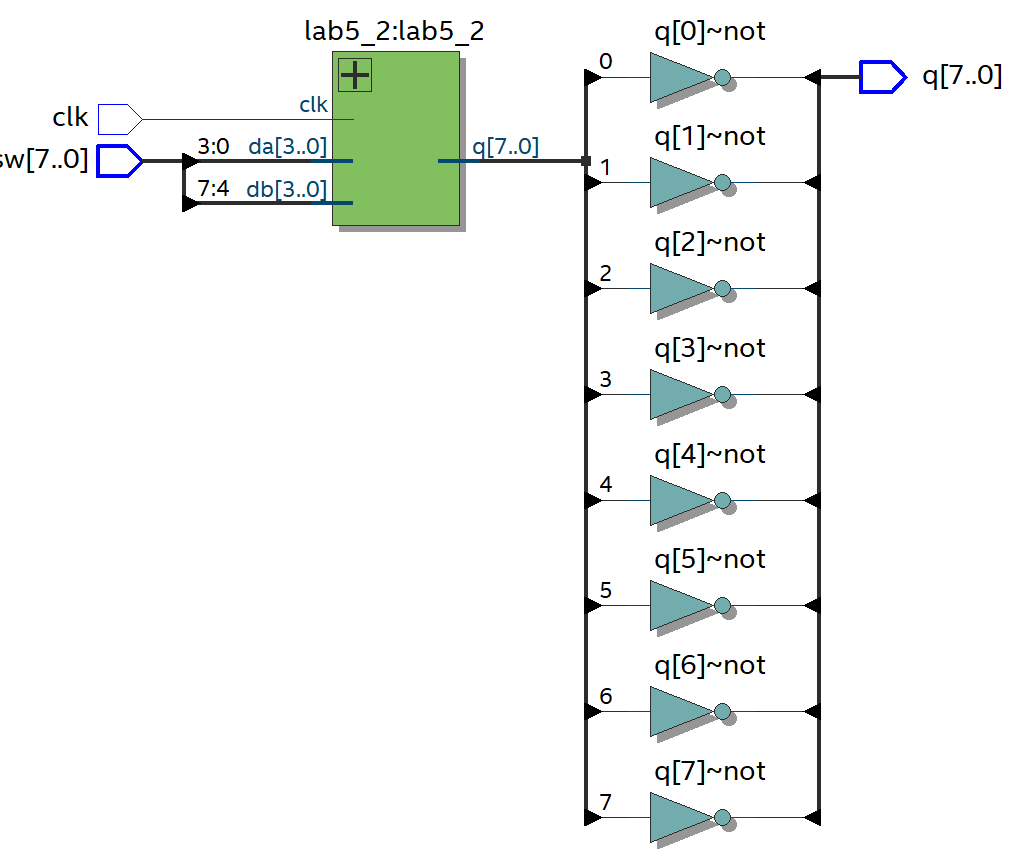


Рис. 3.3. Синтезированная схема.

## Моделирование:

Выполним моделирование устройства, разработанного в [пункте 3.2](#_Решение:_2).

В результате функционального моделирования получены Waveform, приведенные на Рис. 3.4.

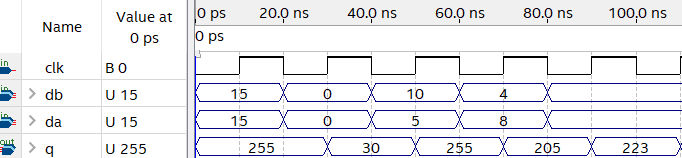


Рис. 3.4. Результат моделирования средствами QP

По Рис. 3.4., видно, что устройство работает корректно как при минимальных числах, так и при максимальных, а также на случайных, без закономерности.

На выходе получаются инвертированные значения, что и ожидалось.

## Моделирование на ПЛИС

Для тестирования устройства на плате выполним назначение выводов СБИС и стандартов ввода вывода, используя приложении Pin Planner пакета Quartus, которое приведено ниже.

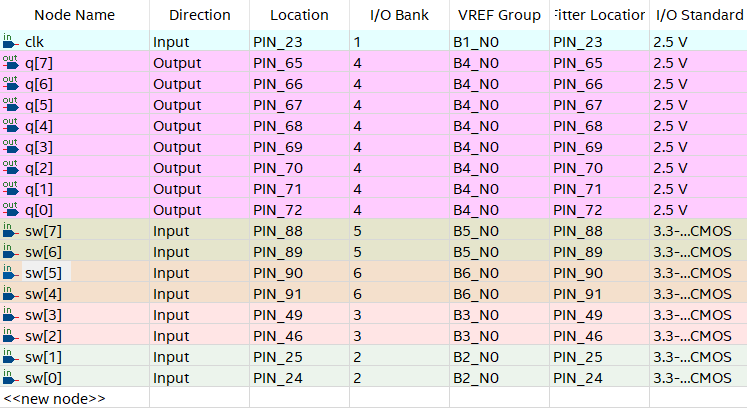


Рис. 3.5. Назначение выводов в приложении Pin Planner

Для тестирования проекта на плате использовались тесты, описанные в [разделе 3.3](#_Моделирование:_1). Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало, что результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения лабораторной работы lab5\_3 были получены навыки по использованию сторонних модулей и проверке их на ПЛИС. Язык Verilog и использование сторонних модулей сильно упрощает отладку кода, а также помогает быстрее решать поставленные задачи.